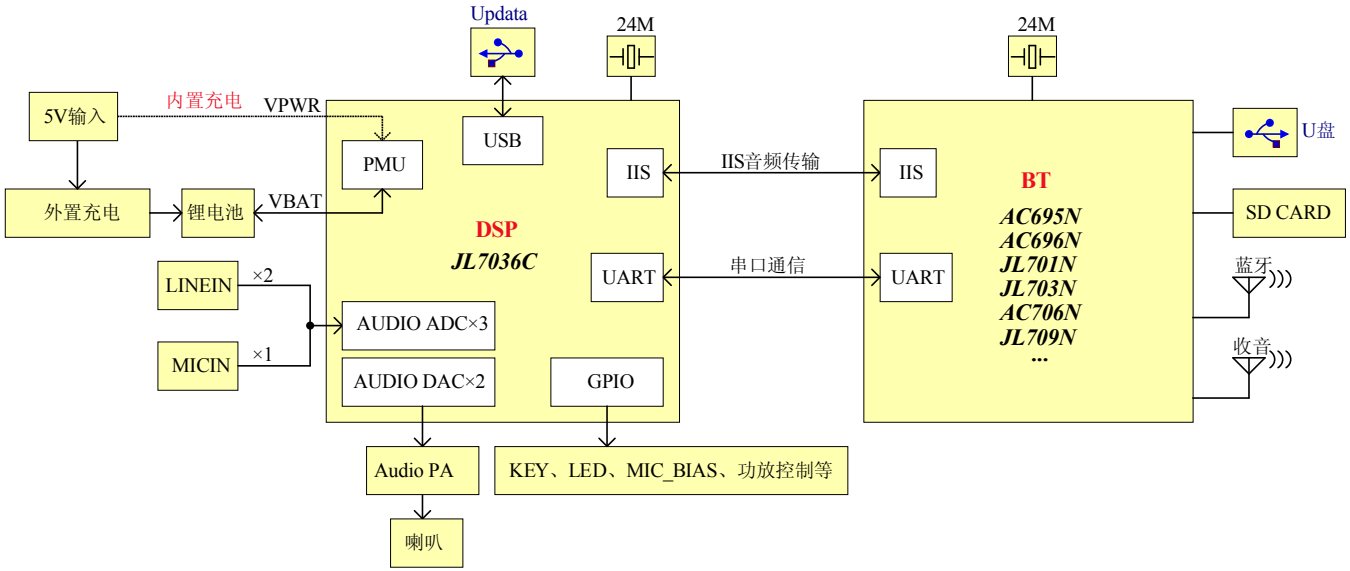
版本更新说明	杰理方案咨询 (QQ号:371116160　邮箱:sales@yunthinker.com)	
版本号	更新日期	更新说明
V1.0	2025.08.26	初始版本

JL7036C DSP方案标准原理图



版本更新说明

版本号	更新日期	更新说明
V1.0	2025.08.26	初始版本

杰理方案咨询 (QQ号:371116160　邮箱:sales@yunthinker.com)

注意：VBAT最高耐压4.5V!

安全设计规范

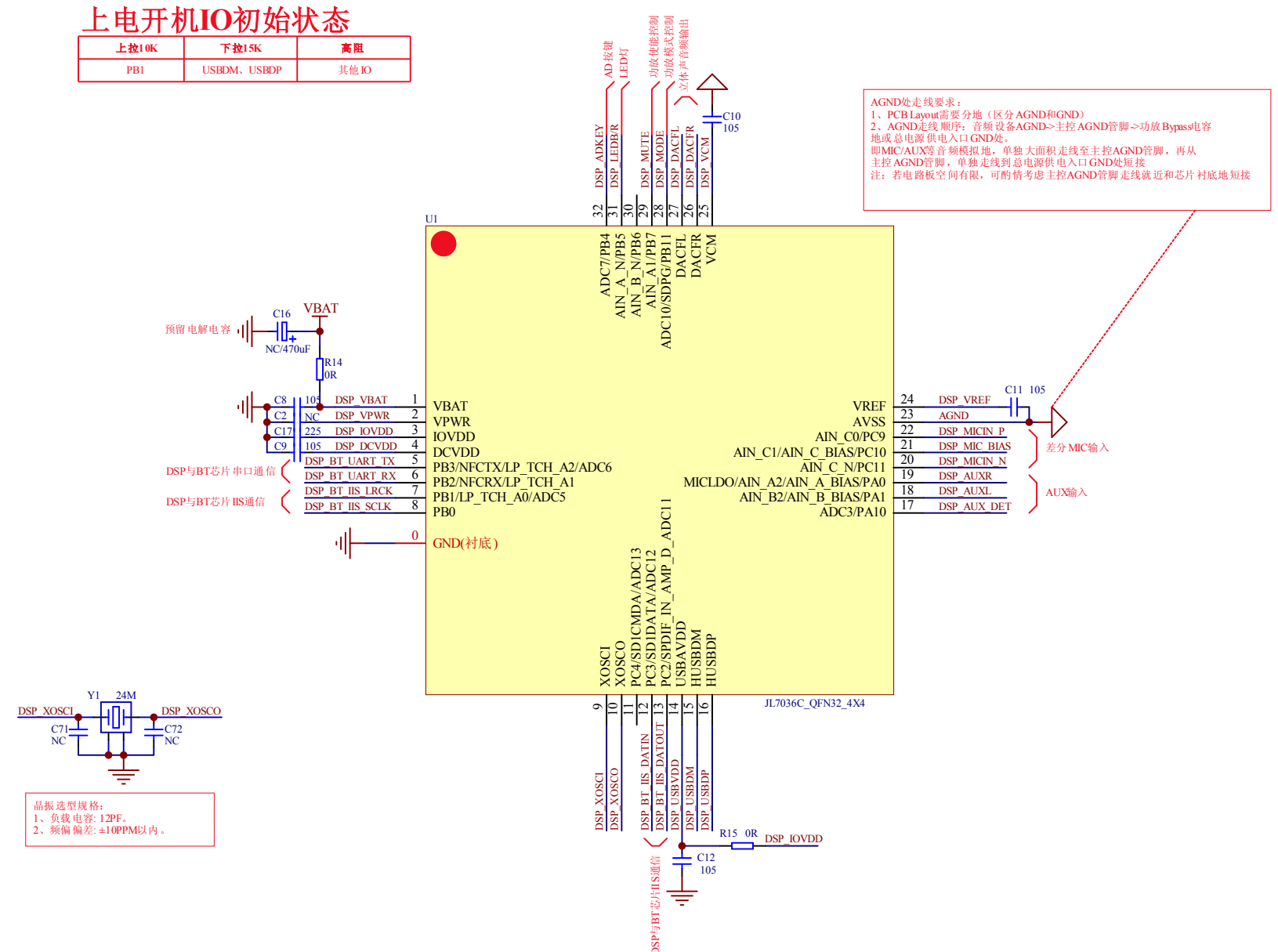
产品设计安全规范：对系统的安全、稳定、可靠至关重要
1、请严格参照原理图设计，打样测试。
2、电容选型：
　a、注意容值随电压升高而下降，请确保工作电压下的容值。
　b、请使用原装电容(非拆机、劣质电容)，以保证容值和品质。
　c、主控电源VBAT、VPWR、DCVDD退耦电容耐压值要求≥16V，主控其他电容耐压值≥6.3V；其它外设电容依据其工作要求选择(防止浪涌、过冲击穿)。
3、电池选型：
　a、请使用品质优良的电池，以保证容量。
　b、方案必须带锂电保护(如电池无锂保，则PCB板必须有锂保)。
4、电池电压为0V时，充电下必须正常工作(不依赖电池电压)。
5、静电：
　a、整机静电标准必须≥(接触±4KV，空气±8KV)。
　b、BT天线输入端必须加ESD管，请使用推荐型号。
6、浪涌：
　a、抗浪涌值一般要求≥±48V（根据实际应用场景调整），建议留有余量设计。
　b、充电输入端必须加TVS管或OVP，请使用推荐型号。

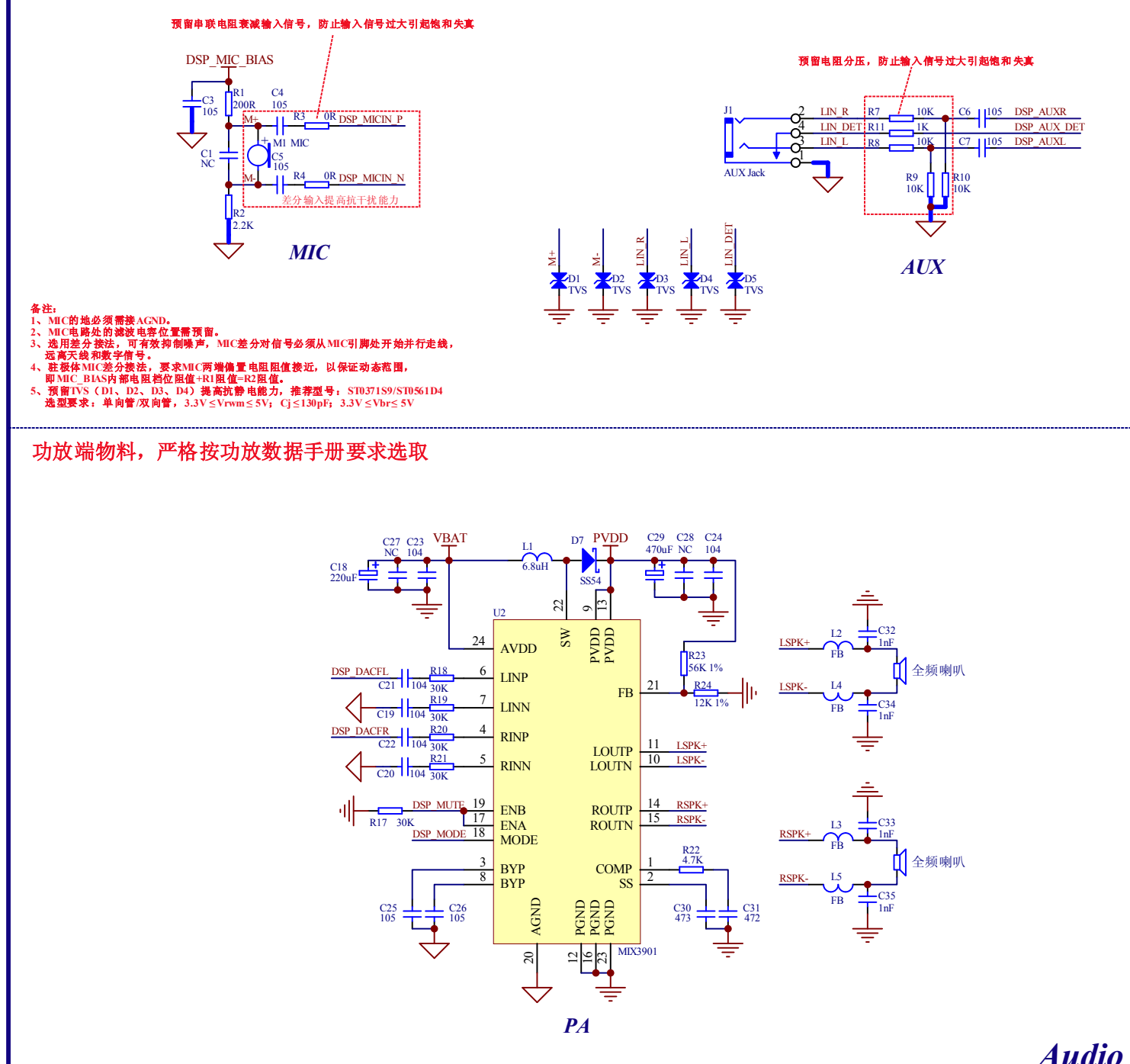
设计注意事项

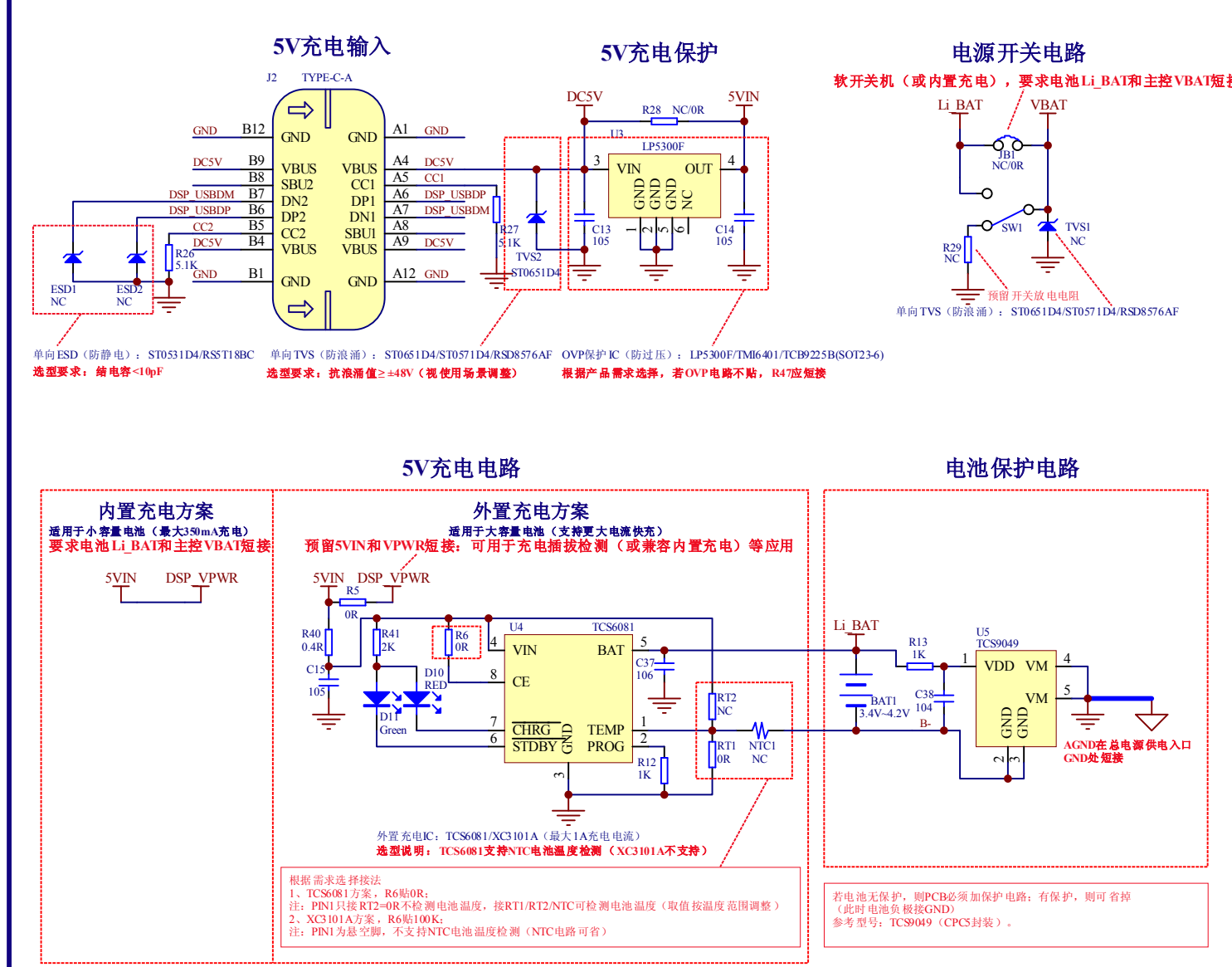
产品设计注意事项：除固定IO，其他IO根据需求，并依据IO规格说明进行调整：
1、必须考虑船运需求，支持船运模式(即关机功耗必须最低)。
2、电源：
　1) 内置充电管理，VPWR恒流充电Imax=350mA(1V≤VPWR-VBAT)，充电输入电压≤5.5V，支持同时给电池充电和系统供电；使用外置充电时，VPWR可做IO使用，如用于充电插拔检测。
　2) IOVDD是3.3V电源域输出，退耦电容容值必须≥225，电压档位可设，2.2V≤IOVDD≤3.4V，Imax≈300mA(包含主控IO消耗)；VBAT不掉电方案，IOVDD为固定带电，省功耗设计必须加MOS开关控制才能供给外设；其他情况，可根据需求直接供给外设。
　3) SDPG是3.3V电源域输出，可配通断，固定出口为PB11，一般专用SD/TF卡供电，可根据需求供给其他外设(存在卡扰动，注意设计规避)。
3、Audio:
　1) AIN_x支持MIC和AUX输入，AIN_xN是差分负输入端、AIN_x0/x1/x2是差分正输入端(也是单端信号输入端)，x代表A/B/C三个通道，只有高压模式(偏置1.5V)：支持输入≤2.8Vpp@单端信号。
　2) MIC_LDO/MIC_BIAS 是用于 MIC 供电的输出电源，应用时只能2选1。其中，MIC_LDO电源输出只有A_bias(即PA0)，电压档位可设，2V≤MIC_LDO≤3V；A_bias可上拉0.5~6KΩ输出；B/C_bias可上拉0.5~10KΩ输出。特别地，应用MIC_LDO必须外部预留RC串联电路（R=10R，C=105）。
　3) MIC不支持省电容输入，必须加隔直电容。
　4) DAC支持2路单端输出，或1路差分输出；ADC同时支持3路输入；
4、IO:
　1) PB1支持硬件低电平长按4秒强制复位重启(上电默认上拉)，系统启动后，复位时间可调、且可屏蔽。
　2) 所有I/O支持唤醒/中断功能，IO状态保持：USB DP/DM支持内部上拉1.5KΩ或1KΩ，下拉15KΩ，固定驱动电流I=8mA；其余IO支持内部上下拉10KΩ/100KΩ/1MΩ，驱动电流I=2.4/8/26.4/50mA四档。
　3) PB0是5V电源域高压I/O，耐压≤(5.5V或2倍IOVDD中最小值)，固定驱动电流I=8mA，一般用于高MUTE功放。
　4) LCD段码、EMI、PSRAM、NFC、低功耗触摸、数字SPDIF_IN_AMP放大、ADC检测、AUDIO等接口均为固定IO，严禁随意分配。
　5) PWM、CAP、CLKOUT、UART、I2C、红外、SPI、I2S、SD卡、数字SPDIF IN/OUT等可灵活分配IO，支持映射到除PR、PD组外的IO，如PA组、PB组、PC组、PP0（VPWR)、USBDM、USBDP等。
　6) 上电开机IO初始状态：USBDP/DM默认开下拉15KΩ，PB1、PC6默认开上拉10KΩ。
　7) 若无USB功能应用，USB DP/DM一般用于IO按键或输入检测功能。
　8) RF、晶振、AUDIO等信号相邻IO，严禁分配高速跳变信号，如CLK、DATA、PWM等，避免干扰。
　9) VPWR可作高压I/O使用，耐压≤(5.5V或2倍IOVDD中最小值)，固定驱动电流I=1.8mA。
　10) DSP使用内部RC时钟，必须先用烧写器对芯片进行免晶振校准。

上电开机IO初始状态

上拉10K	下拉15K	高阻
PB1	USBDM、USBDP	其他 IO







JL7036C作DSP，可配合其他BT芯片使用，音频流通过IIS接口传输，
AUX、DAC、U盘、SD卡、按键、LED灯及其他通用控制功能，
可根据IO资源占用情况，灵活分配到DSP或BT芯片

