

版本更新说明		
版本号	更新日期	更新描述:
V1.0	2022.09.19	初始版本
V1.1	2022.11.28	更新封装, 更新硬件说明

杰理芯片供应: QQ号:371116160, TEL: 0755-82922363

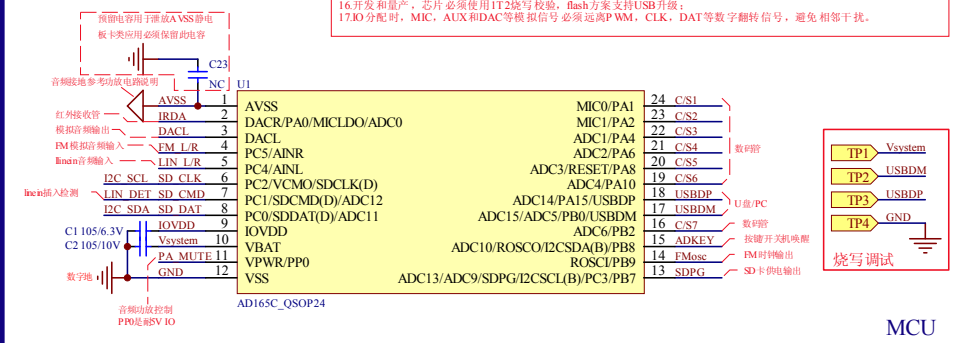
电源接口:
 VPWWR: 充电输入, 带路径管理, 工作电压不超过6V;
 VBAT: 电池供电输入, 不超过5V;
 IOVDD: 内部LDO输出, GPIO逻辑电压;
 VSS: 数字地

模拟音频接口:
 DACL/R: 模拟音频输出
 VCMO: 直驱耳机公共端 (耳机负载)
 ANL/R: 模拟linein输入 (纯模拟通路)
 MIC0&1: 麦克风模拟输入 (支持音频ADC采样)
 MICLDO: 麦克风供电输出
 AVSS: 音频模拟地

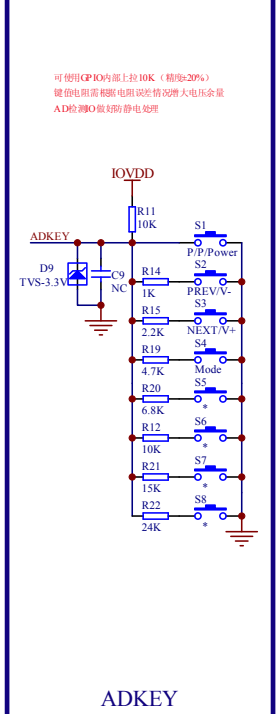
特殊功能IO:
 ADCx: 10bit ADC输入通道;
 USBDM&DP: USB1.1信号
 RESET: 默认长按复位
 SDPG: SD卡供电输出
 ROSC: RTC32.768kHz晶体接口
 支持段码LCD

产品设计安全规范:
 1. VPWWR, VBAT, IOVDD的电容必须保证质量和容量, 电容耐压值应大于工作电压一倍以上;
 2. 锂电池必须带锂电保护, 如果电池不带锂电保护, 硬件设计需添加过流放电电路;
 3. 外置接口和后焊物料: USB座, SD卡, linein插座, 音频输入, 电池等, 做好静电和浪涌保护措施, 整机ESD应符合最低标准, 接触4+K, 空气48K.

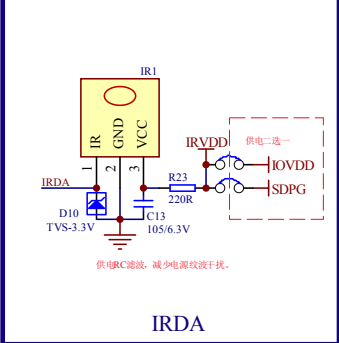
设计注意事项:
 1. 主控IC内置锂电池充电管理 (ibat≤120mA@VPWR=4.6V), VPWWR输入集成路径管理, VBAT无电池时, VPWWR输入, 可供系统正常工作;
 2. VBAT输入电压≤5V, VPWWR输入电压≤6V, VPWWR不做充电输入时可做GPIO功能;
 3. IOVDD3.3V/100mA@0.3Vdnp输出状态, 电压档位可调, 软件无法关闭 (软开机方案注意避免漏电流); IOVDD必须连接去耦电容接VSS, layout时必须保证去耦电容良好的去耦路径, 必要时可以适当增加IOVDD的电容容量;
 4. GPIO的电压输入范围: VSS ≤ Vio ≤ IOVDD, 超出范围有损坏风险;
 5. 所有GPIO都支持三态输出和内置上下拉电阻配置, 可配置唤醒/冲断功能, 同时支持多达12路唤醒IO;
 6. PA0的MICLDO功能为麦克风供电输出, 可软件配置电压输出档位;
 7. PC3的SDPG功能为SD卡供电输出, I_{max} < 60mA, R_{on} < 3Ω@IOVDD=3.2V, 软件可关闭;
 8. PA8默认长按复位, VPWWR支持长按复位检测, 长按复位时间最长可配置16s, 复位功能可屏蔽;
 9. 支持重映射的外接接口: SDO, SPI1, I2C, UART0&1, PWM1, Qdcs, IRDA, 可映射到任意IO;
 10. 集成FullSpeed USB接口, USBDM和DP可做GPIO使用, 休眠状态下只支持输入状态;
 11. MIC0/1内置PGA, 前置输入幅度≤1Vpp, Audio ADC采样;
 12. ANL/R前置输入幅度≤2Vpp, 纯模拟通路输出到DAC, linein需要ADC采样时, 可输入到MIC0/1;
 13. DAC输出方式如下:
 ① DACL to DACR差分, 可直推耳机;
 ② DACL&R to VCMO直推耳机;
 ③ DACL&R to AVSS端立体声, 可直推耳机;
 ④ 串声通方案优先DACL;
 14. AVSS频率地接VSSSS字地必须短接, 外置功放时请参考原理图中备注;
 15. 必要测试点: VBAT/VPWWR, USBDM, USBDP, VSS;
 16. 开发和量产, 芯片必须使用IT2烧写校验, flash方案支持USB升级;
 17. IO分配时, MIC, AUX和DAC等模拟信号必须远离PWM, CLK, DAT等数字翻转信号, 避免相邻干扰。



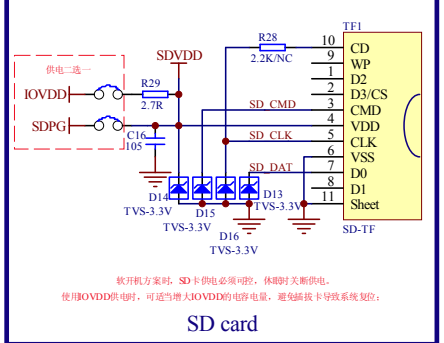
MCU



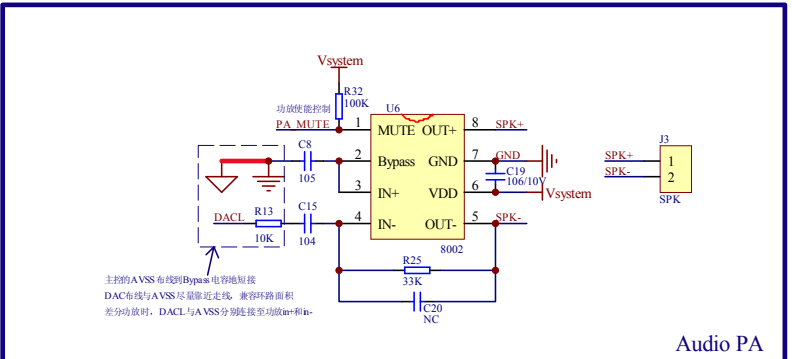
ADKEY



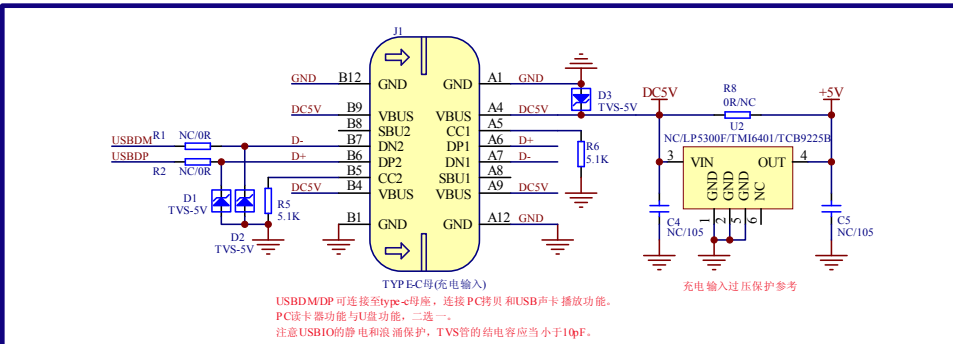
IRDA



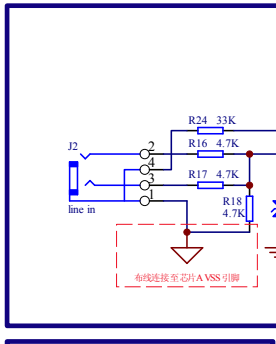
SD card



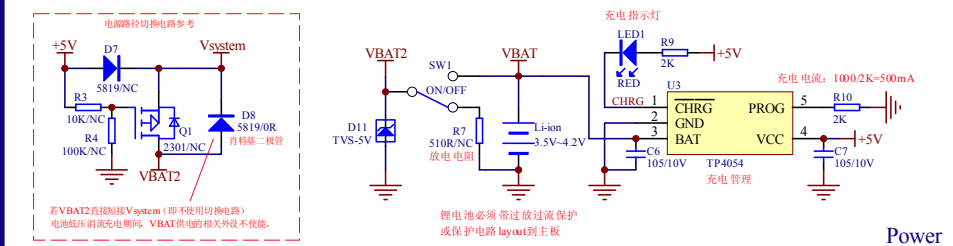
Audio PA



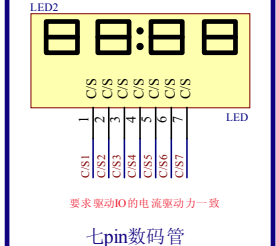
Power



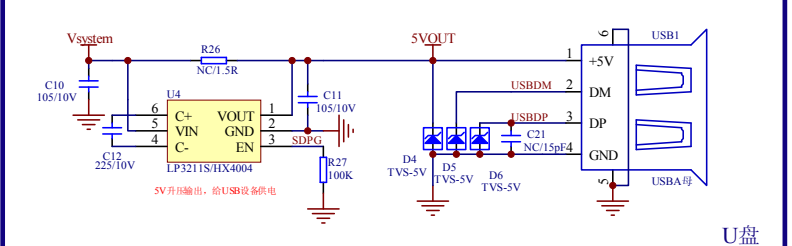
Linein, FM



Power



7pin数码管



U盘